

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05173523 A**

(43) Date of publication of application: **13.07.93**

(51) Int. Cl.

**G09G 5/00**

**G09G 5/06**

**H04N 5/68**

**H04N 17/04**

(21) Application number: **04092573**

(22) Date of filing: **13.04.92**

(30) Priority: **24.05.91 JP 03119910**

(71) Applicant: **HITACHI LTD**

(72) Inventor:  
**SOMEYA RYUICHI**  
**HARUNA FUMIO**  
**INOUE FUMIO**  
**MARUYAMA TAKESHI**

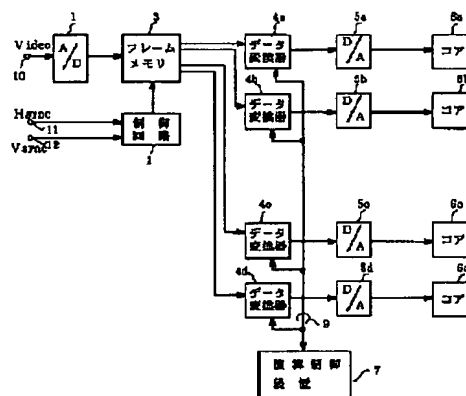
(54) **MULTISCREEN DISPLAY**

(57) Abstract:

**PURPOSE:** To realize high picture quality by compensating luminance unevenness generated on a multiscreen display.

**CONSTITUTION:** Screens of each core of a multiscreen display are divided into plural blocks respectively, and converters 4a-4d which compensates a video signal in every cores are provided. Data converters 4a-4d consist of LUTs (Look- Up Table), and adjust data of each data converter 4a-4d via the arithmetic controller 7 so that luminance unevenness in each core 6a-6d and between each core are eliminated. Furthermore, adjusting time is shortened by using arithmetic interpolation processing for adjusting data. Not only luminance unevenness, but also a video of a multiscreen display having little color unevenness and uniformity can be obtained.

**COPYRIGHT:** (C)1993,JPO&Japio



(19) 日本国特許庁 (J P)

# (12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3287007号

(P 3 2 8 7 0 0 7)

(45) 発行日 平成14年 5 月27日 (2002. 5. 27)

(24) 登録日 平成14年 3 月15日 (2002. 3. 15)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	
G09G 5/00		G09G 5/00	X
	510		510 V
5/10		5/10	B
H04N 5/68		H04N 5/68	C
17/04		17/04	A

請求項の数 5 (全20頁)

(21) 出願番号	特願平4-92573	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成4年4月13日 (1992. 4. 13)	(72) 発明者	染矢 隆一 神奈川県横浜市戸塚区吉田町292番地株 式会社日立製作所映像メディア研究所内
(65) 公開番号	特開平5-173523	(72) 発明者	春名 史雄 神奈川県横浜市戸塚区吉田町292番地株 式会社日立製作所映像メディア研究所内
(43) 公開日	平成5年7月13日 (1993. 7. 13)	(72) 発明者	井上 文夫 神奈川県横浜市戸塚区吉田町292番地株 式会社日立製作所映像メディア研究所内
審査請求日	平成10年4月1日 (1998. 4. 1)	(74) 代理人	100075096 弁理士 作田 康夫
(31) 優先権主張番号	特願平3-119910		
(32) 優先日	平成3年5月24日 (1991. 5. 24)		
(33) 優先権主張国	日本 (J P)	審査官	橋本 直明

最終頁に続く

(54) 【発明の名称】 マルチスクリーンディスプレイ

1

(57) 【特許請求の範囲】

【請求項1】 複数の画像表示装置を組み合わせる一つの画面を構成するマルチスクリーンディスプレイにおいて、

前記複数の画像表示装置の各画像表示装置毎に設けられた、デジタル変換した映像信号データを輝度むら補正された映像信号データに変換するデータ変換器と、  
該データ変換器での変換処理内容を制御する演算制御装置とを備え、

該演算制御装置により前記データ変換器での変換処理内容を制御して、該データ変換器により、所定輝度レベルの映像信号データを輝度むら補正された所定輝度レベルの映像信号データに変換して前記各画像表示装置内の輝度むらを補正し、  
画像表示装置内の輝度むら補正後に、更に前記演算制御

2

装置により前記データ変換器の変換処理内容を制御して前記所定輝度レベルでの前記複数の画像表示装置間の輝度むらとを順次補正するようにしたことを特徴とするマルチスクリーンディスプレイ。

【請求項2】 複数の画像表示装置を組み合わせる一つの画面を構成するマルチスクリーンディスプレイにおいて、

前記複数の画像表示装置の各画像表示装置毎に設けられた、デジタル変換した映像信号データを輝度むら補正された映像信号データに変換するデータ変換器と、  
該画像表示装置の画面上の輝度分布を検出する輝度分布検出装置と、  
該データ変換器での変換処理内容を制御する演算制御装置とを備え、  
該輝度分布検出装置で検出した情報を前記演算制御装置

に入力し、前記演算制御装置により前記データ変換器での変換処理内容を前記検出した情報に基づいて制御して、該データ変換器により、所定輝度レベルの映像信号データを輝度むら補正された所定輝度レベルの映像信号データに変換して前記各画像表示装置内の輝度むらを補正し、

画像表示装置内の輝度むら補正後に、更に前記演算制御装置により前記データ変換器の変換処理内容を制御して前記所定輝度レベルでの前記複数の画像表示装置間の輝度むらとを順次補正するようにしたことを特徴とするマルチスクリーンディスプレイ。

【請求項 3】前記データ変換器は、前記各画像表示内の複数の表示位置に対応した輝度むら補正データを格納したルックアップテーブルを有して構成され、該演算制御装置により所定輝度レベルの映像信号データでの前記ルックアップテーブルを設定制御して前記各画像表示装置内の輝度むら補正を行った後、演算制御装置により、各データ変換器の前記ルックアップテーブル毎にデータを一定レベルだけ加減算した値に書き換え制御して前記所定輝度レベルでの前記複数の画像表示装置間の輝度むらを補正するようにしたことを特徴とする請求項 1 乃至請求項 2 の何れかに記載のマルチスクリーンディスプレイ。

【請求項 4】前記データ変換器は、各画像表示内の代表表示位置に対応した輝度むら補正データを格納したルックアップテーブルと、前記代表表示位置以外の補正データを生成する補間処理回路とを有して構成され、該演算制御装置により設定制御された前記ルックアップテーブルの補正データと前記補間処理回路により生成された補正データとに基づいて前記各画像表示装置内の輝度むら補正を行った後、前記演算制御装置により、各データ変換器毎に前記ルックアップテーブルの補正データ及び前記補間処理回路により生成された補正データを一定レベルだけ加減算した値に書き換え制御して前記所定輝度レベルでの前記複数の画像表示装置間の輝度むらを補正するようにしたことを特徴とする請求項 1 乃至請求項 2 の何れかに記載のマルチスクリーンディスプレイ。

【請求項 5】前記所定輝度レベルを 1 0 0 % 輝度レベルとして前記各画像表示装置内の輝度むら補正と前記複数の画像表示装置間の輝度むら補正を行い、次に前記所定輝度レベルを 1 0 0 % から所定値パーセントだけ減じた輝度レベルで輝度むら補正を行い、所定輝度レベルが略 0 % 輝度レベルとなるまで順次輝度むら補正を行うことを特徴とする請求項 1 乃至請求項 4 の何れかに記載のマルチスクリーンディスプレイ。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は複数の画像表示装置を組み合わせて一つの画面を構成するマルチスクリーンディスプレイに係り、画像表示装置の輝度むら、色むらを補

正する装置に関する。

【 0 0 0 2 】

【従来の技術】図 2 に示すようにテレビセットを積み上げて、一つの画面を構成するマルチスクリーンディスプレイは、前面投射型や背面投射型の大画面ディスプレイよりも奥行きが短く比較的輝度が高いため、イベント会場やショールームなどで使われている。個々のテレビセット（以下コアと呼ぶ）は、ブラウン管式の直視タイプのやプロジェクションタイプのものが実用化されている。なかでもプロジェクションタイプのものは直視タイプに比べ軽量で、スクリーン面がフラットなため、よく用いられるようになってきた。ところが、ブラウン管式直視タイプやプロジェクションタイプのコアは、一般に中央に対して周辺部が暗いという特有の輝度むらを持っており、特にマルチスクリーンディスプレイの場合そのばらつきが目立つ。このような問題に対して、例えば特開昭 5 7 - 1 1 1 1 8 7 号公報ではオーバースキャンして重ねあわせることにより、各コア間の周辺部の輝度低下を補い画面輝度の均一化を図っている。

【 0 0 0 3 】

【発明が解決しようとする課題】しかし、上記従来技術では各コア間でのオーバースキャン部の画像位置合わせやコンバーゼンス、歪補正等の全ての特性を合わせる必要があり、実用上解決すべき問題が多い。このため、輝度の不均一性は各コア毎に解決すべきである。

【 0 0 0 4 】

【課題を解決するための手段】そこで本発明では、各コア毎にそれぞれ映像信号を電氣的に補正するデータ変換器を設け、それぞれのデータ変換器を一つの演算制御装置に接続し、各コア毎に輝度むらがなくなるように、演算制御装置を介して各データ変換器のデータ変換方法を制御する。

【 0 0 0 5 】

【作用】画面をある一定の輝度にした後、上記演算制御装置を操作して、各コアの輝度むらがなくなるように、各コア毎の輝度むらを調整する。その後、各コア相互間での輝度差がなくなるよう、さらに調整を加えれば、画面輝度の均一化が図れる。この操作を輝度を変えながら繰り返すことで、全ての輝度レベルで、輝度むらはもちろん色むらもない均一なマルチスクリーンディスプレイの映像を得ることができる。

【 0 0 0 6 】

【実施例】本発明の第 1 の実施例を図 1 に示す。

【 0 0 0 7 】図 1 は例えばコアを 4 個使ったマルチスクリーンディスプレイシステムの一例で、マルチスクリーンの画面は図 2 のように構成できる。尚、コア 6 a、6 b、6 c、6 d は例えばブラウン管式プロジェクションタイプのテレビセットを使うことができる。

【 0 0 0 8 】図 1 において、A/D コンバータ 1 と制御回路 2、フレームメモリ 3、データ変換器 4 a、4 b、

4 c、4 d、D/Aコンバータ5 a、5 b、5 c、5 d、コア6 a、6 b、6 c、6 dと第1の演算制御装置7から構成されている。本実施例では、特にデータ変換器4 a、4 b、4 c、4 d、とバス9で接続された演算制御装置7を設けたことによる、コア6 a、6 b、6 c、6 dそれぞれの輝度むら補正とコア6 a、6 b、6 c、6 d相互間の輝度むら補正が特徴である。データ変換器4 a、4 b、4 c、4 dはコア6 a、6 b、6 c、6 dそれぞれの輝度むら補正を行うために、コア6 a、6 b、6 c、6 dの各画面内をそれぞれ複数のブロックに分け、そのブロック毎に例えばLUT（ルックアップテーブル）を設けて構成されている。演算制御装置7は例えば、マイコンで構成できる。

【0009】図1の動作の概略は次のとおりである。端子10に入力された映像信号が、A/Dコンバータ1でデジタル信号に変換されフレームメモリ3に書き込まれる。フレームメモリ3に書き込まれた映像信号は、制御回路2により制御され読み出される。フレームメモリ3から読み出された映像信号は、データ変換器4 a、4 b、4 c、4 dに入力され、コア6 a、6 b、6 c、6 dそれぞれの輝度むら補正とコア6 a、6 b、6 c、6 d相互の輝度むらを補正したデータに変換された後、D/Aコンバータ5 a、5 b、5 c、5 dでアナログ信号に変換されコア6 a、6 b、6 c、6 dに表示される。

【0010】ここで図2を例にとって、画面の輝度むら補正手順の一例について説明する。補正の手順を図3に示す。

【0011】コア6 a、6 b、6 c、6 dの輝度むらの例として、図4に示すような実際にブラウン管式のプロジェクトンタイプのテレビセットに多い、画面の中央部と周辺部での輝度むらを取り上げる。また、図4の画面は例えば水平・垂直方向に128等分され合計16,384個のブロックに分けられているとする。もちろん各ブロックについてLUTがある。

【0012】まず、100%輝度として、コア6 a、6 b、6 c、6 dそれぞれにつきコア内の輝度むらの補正を行う。各コアの輝度むら補正は各コアの例えば16,384個のブロックのLUTのデータを書き替えて、コア6 a、6 b、6 c、6 d内の輝度が均一になるようにする。もちろん一つ一つ書き替えても良いが、使い勝手を考えると、例えば図4に示すようにパラボラ波などの関数を用いて一つ一つのLUTへのデータを演算制御装置で計算して書き替えても良い。このようにして各コア6 a、6 b、6 c、6 d内の輝度むら補正を行なった後、各コア6 a、6 b、6 c、6 d相互の輝度むら補正を行う。例えばコア6 aの輝度を基準にして、コア6 b、6 c、6 dの輝度がコア6 aと同じになるように、データ変換器4 b、4 c、4 dのデータを例えば一定レベル加減算した値に書き替えるなどすれば良い。

【0013】もし、各コア相互の輝度むら補正の結果、

各コア内で輝度むらが生じることがあれば、再度各コア内での輝度むら補正を行なって、コア相互での輝度むら補正を行なう。これを全面が均一になるまで繰り返す。

【0014】このようにして、データ変換器4 a、4 b、4 c、4 dのLUTの中には、100%輝度を均一に行うための補正データが確定したことになる。以上の手順による輝度補正を0%輝度まで、複数の輝度レベルについて行うことで、輝度むらのない均一な画像表示を得ることができる。

【0015】ホワイトバランスをとりつつ各輝度での輝度むら補正をおこなえば、画面内の色むらについても補正できることは明らかである。

【0016】以上のようにして、輝度むら色むらのない、均一なマルチスクリーンディスプレイ表示を得ることができる。

【0017】尚、データ変換器4 a、4 b、4 c、4 dの入力をフレームメモリ3の出力としたが、データ変換器4 a、4 b、4 c、4 d毎にA/Dコンバータを設けて別々の映像信号を入力する場合にももちろん適用できる。また、例えばデジタル入出力端子を持つコアを使えば、データ変換器の出力をD/A変換せずにそのままコアに入力でき、D/Aコンバータ5 a、5 b、5 c、5 dは不要になる。

【0018】また、言うまでもないがコアの数は任意に選ぶことができ、データ変換器もコアの個数にあわせて増やし、バス9を介して演算制御装置7に接続すれば、任意の個数のコアからなるマルチスクリーンディスプレイでも、輝度むら色むらのない均一な画像表示を得ることができる。

【0019】本発明の第2の実施例を図5に示す。図5は、図1の実施例のデータ変換器4 a、4 b、4 c、4 dの一つ当たりの具体的な構成例（データ変換器4 a、4 b、4 c、4 dは同じ構成で良い）である。本実施例の特徴は、補間を用いることによって、データ変換器に使うLUTのメモリ容量を低減し、データの書替え時間を短縮していることである。

【0020】例えば、デジタル画像信号が1画素当たり8ビット（0～255階調）で構成され、さらに画面の中央部に対し周辺部の輝度が約75%であったと仮定すると、中央部と周辺部の輝度差25%（64階調）分の補正が必要となる。ブロック間の補正曲線の差により、ブロックの接合部（境界領域）に輝度差が生じて目立つという問題を防ぐために、例えばブロック間の補正を1階調程度にすれば中央部から周辺部への分割数は64となり、表示画面全体を水平、垂直共128分割した $128 \times 128 = 16,384$ ブロックあればよい。

【0021】各ブロックごとに256階調分の8ビットの補正データが3原色分必要であるとする、LUTは16,384 $\times$ 256 $\times$ 8 $\times$ 3=96Mbit分もの大容量データが必要となる（メモリ容量については、慣例

により、 $1024\text{bit}=1\text{Kbit}$ 、 $1024\text{Kbit}=1\text{Mbit}$ の単位で示している)。

【0022】そこで、補正データを持つブロックと補正データを持たないブロックに分け、この補正データを持つブロックから補正データを持たないブロックのデータを補間により求めることとした。これにより、例えば補正データを $4 \times 4 = 16$ ブロックだけに持つとすれば、16、384個のブロックに補正データをもたせる方法に比べて、補正データを格納するメモリ容量はほぼ1/16に低減でき、データの書替え時間は1/16になる。

【0023】図5の構成を説明する。図5において、21aと21b、21c、21dはLUT、23aと23b、23c、23dは係数付加回路、28は加算器、端子35R、35G、35Bはデジタル映像信号RGBの入力端子である。

【0024】フレームメモリ3の例えばR(赤)の8bitのデジタル映像信号出力は、LUT21a、21b、21c、21dの例えば下位アドレスに並列に入力される。

【0025】アドレス回路22には一画面中の表示位置を示す水平駆動パルスと垂直駆動パルスが端子31hと31vに印加される。この水平駆動パルスと垂直駆動パルスは、例えばフレームメモリ3の水平方向のデータ読み出しクロックと垂直方向のデータ読み出しクロックで良い。

【0026】アドレス回路22は端子31hと31vに印加された水平駆動パルスと垂直駆動パルスから、画面分割したブロック位置を示す水平ブロック位置データと垂直ブロック位置データを作成し、そのブロック位置データに基づくLUT制御信号25a、25b、25c、25dを、LUT21a、21b、21c、21dの例えば上位アドレスに入力する。この結果、LUT21a、21b、21c、21dには、データ変換された4ブロック分の映像信号30a、30b、30c、30dが得られる。同時に、アドレス回路22は上記ブロック位置データに基づき、係数選択信号26a、26b、26c、26dを係数付加回路23a、23b、23c、23dに与え、係数選択信号に対する所定の係数を前記4ブロック分の映像信号30a、30b、30c、30

$$e_{ij} = \frac{1}{16} \left\{ (4-i)(4-j)a_{..} + (4-i)jb_{..} + i(4-j)c_{..} + ij d_{..} \right\} \dots\dots (数1)$$

【0034】すなわち、デジタル映像信号a00、b04、c40、d44にそれぞれ所定の係数を掛け合わせた後、加算することにより、補正されたデジタル映像信号eijが得られる。この係数の掛け合わせと加算を行う回路が係数付加回路23a、23b、23c、23dと加算器28である。以上のようにa00、b04、c40、d

dに例えば掛け合わせた信号27a、27b、27c、27dを得る。これらの信号を加算器28に加えて加算することにより、ブロック位置に対応して空間的に補間されたデジタル映像信号29が得られる。これを例えばD/Aコンバータによりアナログ信号に変換して、コアに入力して映像を得る。ブロック24Rについて説明したが、24G、24Bについても同様の動作を行えばよい。

【0027】一方、バス9はLUT21a、21b、21c、21d、のアドレス線25a、25b、25c、25d、33とバス30a、30b、30c、30dに、また係数回路23a、23b、23c、23dのバス26a、26b、26c、26dとバス27a、27b、27c、27dに接続しており、このバス9を介してLUT21及び係数付加回路23と演算制御装置7は、例えば映像信号の帰線期間を利用してデータの授受を行い画面の輝度むらを補正する。

【0028】以上のように構成されたデータ変換器について、以下その動作について説明する。

【0029】図6は図5の動作を説明する図で、補正データを持つ例えば近接した4ブロックから補間により、補正データを持たないブロックの補正されたデジタル映像信号eijを求めるものである。

【0030】図6のi、jはそれぞれ垂直、水平ブロック位置を示しており、以下、ブロックの位置を(i、j)の座標で示す。補正データを持つ水平、垂直4ブロック毎のブロックに○印を記入してある。

【0031】LUT21a、21b、21c、21dは、それぞれ(8m、8n)、(8m+4、8n)、(8m、8n+4)、(8m+4、8n+4)のブロックの補正データを格納しているとする(但し、m、nは0以上の整数)。

【0032】この時、 $0 \leq i, j \leq 4$ の範囲において、(i、j)ブロックに近接した4つのブロック(0、0)、(0、4)、(4、0)、(4、4)の補正データa00、b04、c40、d44を利用して、(i、j)ブロックの入力映像信号に対する映像信号eijを例えば次式のように2次元の直線補間により求めることができる。

【0033】

【数1】

44は輝度むら補正されたデータであるので、これらから補間された映像信号eijも輝度むら補正されたことになる。

【0035】次に、係数付加回路の動作を係数付加回路23aを例に取り上げて説明する。

【0036】図5に示すように、係数付加回路23aに

は、LUT21aの出力映像信号30a（図6では映像信号a00、a08に相当）と、アドレス回路22の係数選択信号26aが入力され、（数1）中の第1項に相当する出力データを得る回路である。図7はこれらの関係をまとめたものであり、上記第1の実施例における係数付加回路23aの出力データを示す図である。係数付加回路は、LUTと同様に例えばメモリなどで実現でき、ブロック位置に応じて映像信号a00、a08、a80などと切り替わる8bit映像信号30aを例えば下位アドレスに、ブロック位置を示すアドレスiとjの下位3bitずつ計6bitを例えば上位アドレスに与えればよい。この14bitアドレス、8bitデータの構成において、係数付加回路23aを構成するメモリ容量は16Kbit $\times$ 8=128Kbit必要となる。この時、LUTのメモリ容量と合わせて2Mbit+128Kbit $\times$ 4=2.5Mbit、3原色分合わせて2.5Mbit $\times$ 3=7.5Mbitであり、システム全体で考えると前述の96Mbitに比べて大幅に低減できる。

【0037】さて、図7を見ると、係数付加回路23に要求される係数は、0、1/16、1/8、3/16、1/4、3/8、1/2、9/16、3/4、1の10種類しかないことがわかる。従って、係数選択信号を工夫することにより、係数付加回路23をメモリで構成した場合のブロック位置を示すアドレスiとjの下位3bitずつ計6bitの64種類の係数選択信号ではなく10種類で済むため、係数付加回路のメモリ容量は256 $\times$ 10 $\times$ 8=20Kbitと前述の128Kbitに対して1/6に低減できる。

【0038】以下、このメモリ容量低減手法に基づいて図5の実施例におけるアドレス回路22の具体的回路構成とその動作、係数付加回路23a、23b、23c、23dの動作について説明する。

【0039】図8はアドレス回路22の構成例を示すブロック図である。入力端子31hと31vには、それぞれ水平駆動パルスと垂直駆動パルスが与えられ、分周器

表1

係数選択信号	0	1	2	3	4	5	6	7	8	9	10-15
係 数	0	$\frac{1}{16}$	$\frac{1}{8}$	$\frac{3}{16}$	$\frac{1}{4}$	$\frac{3}{8}$	$\frac{1}{2}$	$\frac{9}{16}$	$\frac{3}{4}$	1	—

【0042】

【表2】

41hと41vにより、水平ブロックパルス42hと垂直ブロックパルス42vを得る。水平ブロックパルス42hを4分周器43hと2分周器44hで分周することにより、水平ブロック位置jの下位3bit信号45hを得、デコーダ46a、46b、46c、46dの下位アドレスに与えられる。同様に、垂直ブロックパルス42vを4分周器43vと2分周器44vで分周することにより、垂直ブロック位置iの下位3bit信号45vを得、デコーダ46a、46b、46c、46dの上位アドレスに与えられる。デコーダ46a、46b、46c、46dは水平及び垂直ブロック位置i、jの下位3bit信号45h、45vから係数付加回路23a、23b、23c、23dに与えるそれぞれ4bitの係数選択信号26a、26b、26c、26dを得る。

【0040】2分周器44hの出力信号はさらに16分周器48hで16分周され、水平ブロック位置jの上位4bit信号49hをLUT21aと21cのLUT制御信号25aと25cの下位制御信号として用いる。水平ブロック位置jの上位4bit信号49hを遅延回路50hで遅らせた信号51hを、LUT21bと21dのLUT制御信号25bと25dの下位制御信号として用いる。遅延回路を用いるのは、各LUTが補正データを8水平ブロック毎に持ち、かつLUT21aと21cに対し、LUT21bと21dが格納している補正データの対応するブロックが4水平ブロックずれていることに対応している。同様に、2分周器44vの出力信号はさらに16分周器48vで16分周され、垂直ブロック位置iの上位4bit信号49vをLUT21aと21bのLUT制御信号25aと25bの上位制御信号として用いる。水平ブロック位置iの上位4bit信号49vを遅延回路50vで遅らせた信号51vを、LUT21cと21dのLUT制御信号25cと25dの下位制御信号として用いる。

【0041】

【表1】

表2

J \ I	0	1	2	3	4	5	6	7
0	9	8	6	4	0	4	6	8
1	8	7	5	3	0	3	5	7
2	6	5	4	2	0	2	4	5
3	4	3	2	1	0	1	2	3
4	0	0	0	0	0	0	0	0
5	4	3	2	1	0	1	2	3
6	6	5	4	2	0	2	4	5
7	8	7	5	3	0	3	5	7

【0043】

【表3】

表3

J \ I	0	1	2	3	4	5	6	7
0	0	4	6	8	9	8	6	4
1	0	3	5	7	8	7	5	3
2	0	2	4	5	6	5	4	2
3	0	1	2	3	4	3	2	1
4	0	0	0	0	0	0	0	0
5	0	1	2	3	4	3	2	1
6	0	2	4	5	6	5	4	2
7	0	3	5	7	8	7	5	3

【0044】

【表4】

表4

J \ I	0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	0
1	4	3	2	1	0	1	2	3
2	6	5	4	2	0	2	4	5
3	8	7	5	3	0	3	5	7
4	9	8	6	4	0	4	6	8
5	8	7	5	3	0	3	5	7
6	6	5	4	2	0	2	4	5
7	4	3	2	1	0	1	2	3

【0045】

【表5】

表5

J \ I	0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	0
1	0	1	2	3	4	3	2	1
2	0	2	4	5	6	5	4	2
3	0	3	5	7	8	7	5	3
4	0	4	6	8	9	8	6	4
5	0	3	5	7	8	7	5	3
6	0	2	4	5	6	5	4	2
7	0	1	2	3	4	3	2	1

【0046】表1は、係数付加回路の係数選択信号入力と上記10種類の係数の対応を示す表である。10種類の係数を選択するために4bitの係数選択信号を用いており、これが、図8の係数選択信号23a, 23b, 23c, 23dに相当する。この様に定めることにより、前述の通り、係数付加回路の回路規模を20Kbitとすることができる。図7の係数付加回路23aの出力データを基に、表1の係数選択信号を用いて、垂直及び水平ブロック位置i, jと係数選択信号の関係を示したものが表2であり、これはデコーダ46aの入出力表となる。同様に、デコーダ46b, 46c, 46dの入出力表は表3, 表4, 表5のように求められる。これらのデコーダはメモリを用いたLUTとしても実現でき、この時のメモリ容量はアドレスが垂直及び水平ブロック位置i, jの下位3bitの合計6bit、出力データが4bitであるから、 $64 \times 4 = 256 \text{ bit}$ となる。

【0047】以上結果をまとめると、前述の $128 \times 128$ のブロックを用いた場合、1色当たりに必要なメモリ容量は、LUTが $0.5 \text{ Mbit} \times 4 = 2 \text{ Mbit}$ 、係数付加回路が $20 \text{ Kbit} \times 4 = 80 \text{ Kbit}$ 、アドレス付加回路 $256 \times 4 = 1 \text{ Kbit}$ の計 $2.1 \text{ Mbit}$ であり、3原色分を考慮しても $2.1 \text{ Mbit} \times 3 = 6.3 \text{ Mbit}$ で構成できる。この様に、前述の $96 \text{ Mbit}$ に対して約 $1/16$ にメモリ容量の低減が図れ、演算制御装置7によるLUTデータの書替えに要する時間を短縮でき、調整作業の時間が短くできる。

【0048】本発明の第3の実施例を図9に示す。図9は補間を用いた輝度むら補正の調整手順を示すもので、輝度むら補正の調整を短時間に精度良く行うことができる。

【0049】第1の実施例で、各輝度について輝度むら補正を行なったが、例えば映像信号が8bitであるとすれば、とりうる輝度の階調数は256となり、256回もの調整作業を行なうことになってしまい、実用上問題である。そこで、調整を行った輝度の補正データから、調整を行わなかった輝度の補正データを補間により求め、調整作業回数の低減を図ることとする。

【0050】以下、例えば図2（回路構成は例えば図1）のような4個のコアからなるマルチスクリーンディスプレイを例にして、輝度むら補正の手順を説明する。

【0051】図9において、まず100%輝度の表示を行い第1の実施例と同様にコア6a, 6b, 6c, 6dそれぞれの輝度むら補正と、コア6a, 6b, 6c, 6d相互の輝度むら補正を行う。次に0%輝度の表示を行い、100%輝度の場合と同様に輝度むら補正を行う。そして、100%輝度と0%輝度の間の補正データを100%輝度と0%輝度の補正データから、例えば直線式や、あるいは例えば次式のような曲線式

50 【0052】

【数2】

$$y = ax^b \quad \dots\dots (\text{数 } 2)$$

【0053】を使って計算により求め、100%輝度から0%輝度までの間の輝度むら補正データとして、データ変換器4a、4b、4c、4dに書き込む。仮に、コア6a、6b、6c、6dそれぞれの画面内で、あるいはコア6a、6b、6c、6d相互間で、100%輝度から0%輝度までの電圧対輝度特性が揃っているとすれば、適当な輝度の表示を行っても、上記補間により求めた補正データにより、画面輝度の均一性は保たれているはずである。

【0054】そこで、例えば50%輝度の中間調表示を行い画面輝度の均一性を確認する。この時、もしこの画面輝度が均一でなければ、均一になるように50%輝度での輝度むら補正を、100%輝度、0%輝度の時と同じ要領で行う。そして、100%輝度、0%輝度と50%輝度の輝度むら補正データとにより、再度、100%輝度～50%輝度、50%輝度～0%輝度の輝度むら補正データを補間により求め、データ変換器4a、4b、4c、4dのデータを書き替える。これによって補間の精度を上げることができる。

【0055】さらに、例えば25%輝度、75%輝度…と画面を見ての輝度むら補正を実際に行なう点数を増やすことにより、さらに補間の精度を上げることができ、適当な中間調輝度で輝度むらが目立たないようにするまで行えば良い。これにより、例えば輝度むら補正作業を100%輝度、75%輝度、50%輝度、25%輝度、0%輝度の5点についてのみ行ない、その他の輝度は補間により輝度むら補正データを求めるとすれば、ユーザーの調整作業回数は256回から5回に激減でき、大幅な調整時間の削減が可能となる。

【0056】図10は、図9で説明した輝度むらの補正手順のイメージを示す図である。X軸、Y軸に水平・垂直の画面位置を示し、Z軸は輝度を示している。図10は図2の構成と同じで、X軸、Y軸を2等分して一面面を4個のコアで構成していることを意味している。又、Z軸方向の画面60～67は、それぞれ画面上の輝度レベルを意味しており、例えば0%輝度の画面は60、100%輝度の画面は67である。

【0057】まず100%輝度の画面60での輝度むら補正作業を行なう。次に0%輝度の画面67での輝度むら補正作業を行なう。これにより、同じ空間位置における100%輝度と0%輝度の補正データ70と72が確定したことになる。この補正データ70と72より、この空間位置での100%～0%輝度での補正データを補間により求める。そして、例えば50%輝度の画面64での表示を行なう。補正データ71は補間により求められているが、もしこの時輝度むらがあれば、50%輝度の画面64で実際に輝度むら補正作業を行ない、輝度む

ら補正データを書き替える。そして、その他の輝度の補正データを再度補間により求める。もちろんその他の空間位置の補正データについても同様である。

【0058】本発明の第4の実施例を図11に示す。

【0059】これはデータ変換器4a、4b、4c、4dに書き込むデータを、例えば補間演算により求めるために、各データ変換器4a、4b、4c、4d毎に専用の第2の演算制御装置107a、107b、107c、107dを設けている。このため、演算制御装置7は演算制御装置107a、107b、107c、107dに例えば計算命令を与えるだけでよく、データ変換器4a、4b、4c、4dのデータ演算等の処理を行わない分、処理速度は早くなり、調整時間が短縮でき、調整者の負担も軽減できる。

【0060】また、演算制御装置7と演算制御装置107a、107b、107c、107dの間での情報伝送量は少なくなり、例えば、RS-232Cなどのシリアルインターフェースを使っても迅速な調整作業ができる。その他の動作は第1の実施例と同じなので、説明は省く。

【0061】第5の実施例を図12に示す。これは調整作業を人間の目にたよっていた部分を、例えばテレビカメラ80などの受光装置に置き換え、調整作業を自動化したものである。

【0062】図12はマルチスクリーンディスプレイをテレビカメラ80で捕らえ、その出力情報を第3の演算制御装置207で演算処理して、輝度むらが少なくなるよう映像信号拡大器118を調整するものである。映像信号拡大器118は例えば、図1のような回路で実現できる。また演算制御装置207の演算処理の手順は、例えば図9に示した作業手順と同じでよく、この手順に沿ったソフトウェアで演算制御装置207を動作させればよい。また、図12のテレビカメラの代わりに画面上の所定箇所以小形の受光器を配置してもよい。

【0063】この方法によれば、調整者の手をわずらわせることなく、輝度むらの調整が自動的にできる。

【0064】本発明の第6の実施例を図13に示す。本実施例の特徴は、データ変換器4、及び第2の演算制御装置107を各コア6a、6b、6c、6dの内部に持たせたことである。

【0065】図13の構成を示す。6a、6b、6c、6dはコア、301は映像拡大分配装置、7は第1の演算制御装置、10は映像信号入力端子である。映像拡大分配装置301は、端子10に印加される映像信号を各コア6a、6b、6c、6dに分配する装置で、例えば図1の構成でよい。但し、データ変換器4a～4dはコアに内蔵するため、映像拡大分配装置301の内部になくても良く、フレームメモリ3の出力を直接D/Aコンバータ5a～5dに入力すれば良い。

【0066】各コア6a、6b、6c、6dの内部構成



は、映像信号入力端子100a、A/Dコンバータ60a、データ変換器4a、D/Aコンバータ61a、ビデオ回路62a、CRT（陰極線管）駆動回路63a、CRT64a、及びコア専用の第2の演算制御装置107aから成っている。ビデオ回路62aは、映像信号のコントラスト、輝度等の調整を行う回路である。CRT駆動回路63aは、ビデオ回路62aからの出力信号を、CRT64aを駆動するのに必要な電圧レベルにする増幅器である。これらビデオ回路62a、CRT駆動回路63a、CRT64aは、現在市販されているテレビセットに使われている回路でよい。また第1の演算制御装置7と第2の演算制御装置107aは例えばRS-232C等のシリアルインターフェースで端子200aに接続されている。

【0067】データ変換器4a、第1の演算制御装置7、及び第2の演算制御装置107aは、第1の実施例と同じで良く、動作の詳細は前に述べた通りである。

【0068】図13の動作の概略は以下の通りである。映像拡大分配装置301は、端子10より入力される映像信号を分配し、各コア6a、6b、6c、6dにその分配された映像信号を送る。コア6aに送られた映像信号はA/Dコンバータ60aによりデジタル信号に変換され、データ変換器4aに入力される。データ変換器4aでは、コア6aの輝度むらを補正するようにデータを交換し、D/Aコンバータ61aによりアナログ信号に変換する。輝度むら補正された映像信号は、ビデオ回路62a、CRT駆動回路63aを経由し、CRT64aにより表示される。第1の演算制御装置7によるコア内、及びコア間の輝度むら補正の手順は、第1の実施例で述べた通りである。

【0069】本実施例によれば、データ変換器4aをコア6aに内蔵するため、映像拡大分配装置301内にデータ変換器は必要なく、映像拡大分配装置301を簡単な構成にできる。尚、この実施例では第1の演算制御装置7と映像拡大分配装置301は別々であるが、第1の演算制御装置7を映像拡大分配装置301に組み込んで、機器配置を簡潔にしても良い。

【0070】本発明の第7の実施例を図14に示す。本実施例の特徴は、ビデオ回路のコントラスト、又は輝度制御端子をデータ生成器67aで変調することにより、輝度むら補正を行うことにある。尚、図14では、コア6aだけの構成を示したもので、映像拡大分配装置との配線など全体の構成は図13と同じで良い。また第1の演算制御装置7を使った調整手順も同じで良い。

【0071】図14はアドレス回路66a、データ生成器67a、D/Aコンバータ68a、同期分離回路65a、ビデオ回路62aのコントラスト、又は輝度制御端子300aから成る。

【0072】同期分離回路65aは、端子100aより入力される映像信号から水平、垂直同期信号を抽出し、

それをアドレス回路66aへ送り、アドレス回路66aは入力された水平、垂直同期信号から、例えば画面を128×128ブロックに分割した位置データを作成する。データ生成器67aは、そのブロック位置データに基づき、128×128ブロックに分かれた画面のそれぞれのブロック毎に、輝度むら補正データを出力する。データ生成器67aから出力された輝度むら補正データは、D/Aコンバータ68aでアナログ信号に変換され、ビデオ回路62aのコントラスト、又は輝度を調整する。言うまでもないが、この変調とは、端子100aに印加された映像信号と、データ生成器67aのデータ、即ち輝度むら補正データのアナログ信号との乗算であり、第1、及び第2の実施例のデジタル信号乗算に比べて、大幅な回路の簡略化が図られる。もちろん輝度むら補正データは、データ生成器67aにあるので、任意のデータ配置が可能で、従来のパラボラ信号補正にない、精度の良い補正が可能である。

【0073】本発明の第8の実施例を図15に示す。本実施例の特徴は、コア6a内のD/Aコンバータ68aの出力側にローパスフィルタ（L. P. F）400aを接続し、水平方向の補正用ブロック分割数を低減したことにある。その他の構成、及び動作は、図14、図13と同じで良い。

【0074】先にも述べたように、ブロック間の輝度補正ステップは、ブロック間で輝度差が生じないように、例えば1階調程度としている為、水平、垂直共128分割ものブロックが必要となっている。そこでD/Aコンバータ68aの出力側にL. P. F 400aを接続して、図16に示すように水平ブロック間輝度差を滑らかにする。これにより水平方向のブロック分割数を減らすことができ、データ生成器67aのメモリ容量を低減すること可能となる。

【0075】以上、コアとしてブラウン管式プロジェクションタイプのテレビセットを例に挙げて説明してきたが、ブラウン管式直視タイプのテレビセットや液晶表示素子を使ったプロジェクションテレビなどにも同様の効果があることは明らかである。液晶表示素子を使ったプロジェクションテレビセットの場合、LUTに書き込むデータは液晶表示素子の電圧輝度特性にあわせることは言うまでもない。

【0076】

【発明の効果】以上のように、本発明によれば、輝度むらばかりか色むらも少ない均一なマルチスクリーンディスプレイの映像を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図2】マルチスクリーンディスプレイの例を示す図である。

【図3】輝度むら補正手順を示すPADである。

17

【図4】輝度むらの一例を示す図である。

【図5】本発明の第2の実施例を示すブロック図である。

【図6】第2の実施例の動作を説明する図である。

【図7】係数付加回路23aの出力データの説明図である。

【図8】アドレス回路22の構成例を示す図である。

【図9】本発明の第3の実施例を説明する図である。

【図10】補正手順のイメージを示す図である。

【図11】本発明の第4の実施例を示すブロック図である。 10

【図12】本発明の第5の実施例を示すブロック図である。

【図13】本発明の第6の実施例を示すブロック図である。

【図14】本発明の第7の実施例を示すブロック図である。

【図15】本発明の第8の実施例を示すブロック図である。

【図16】本発明の第8の実施例を説明する図である。 20

【符号の説明】

1、60a…A/Dコンバータ、

2…制御回路

3…フレームメモリ

18

4a、4b、4c、4d…データ変換器

67a…データ生成器

5a、5b、5c、5d、68a…D/Aコンバータ

6a、6b、6c、6d…コア

7、107a、107b、107c、107d…演算制御装置

21a、21b、21c、21d…LUT（ルックアップテーブル）

22、66a…アドレス回路

23a、23b、23c、23d…係数付加回路

28…加算器

41h、41v、43h、43v、44h、44v、4

8h、48v…分周期

50h、50v…遅延回路

46a、46b、46c、46d…デコーダ

80…テレビカメラ

118…映像信号拡大器

301…映像拡大分配装置

62a…ビデオ回路

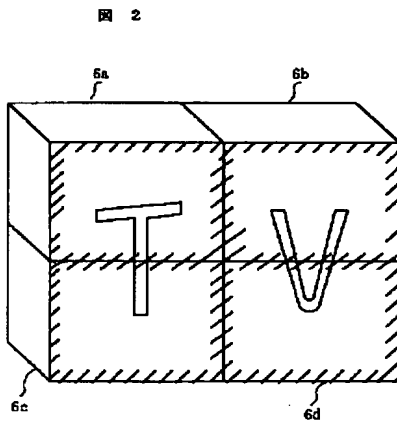
63a…CRT駆動

64a…CRT

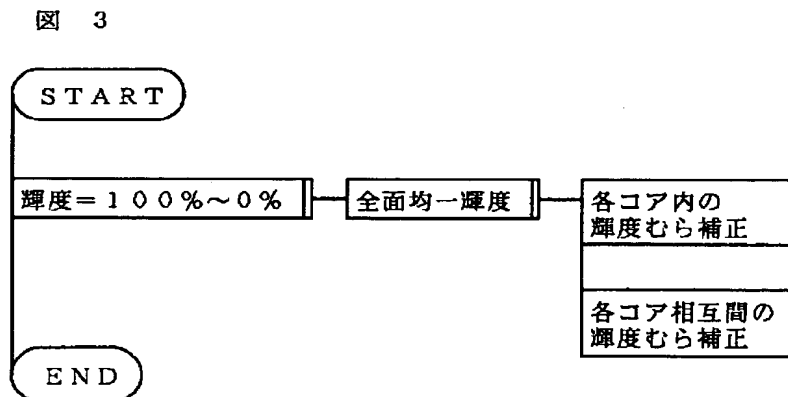
65a…同期分離回路

400a…ローパスフィルタ

【図2】

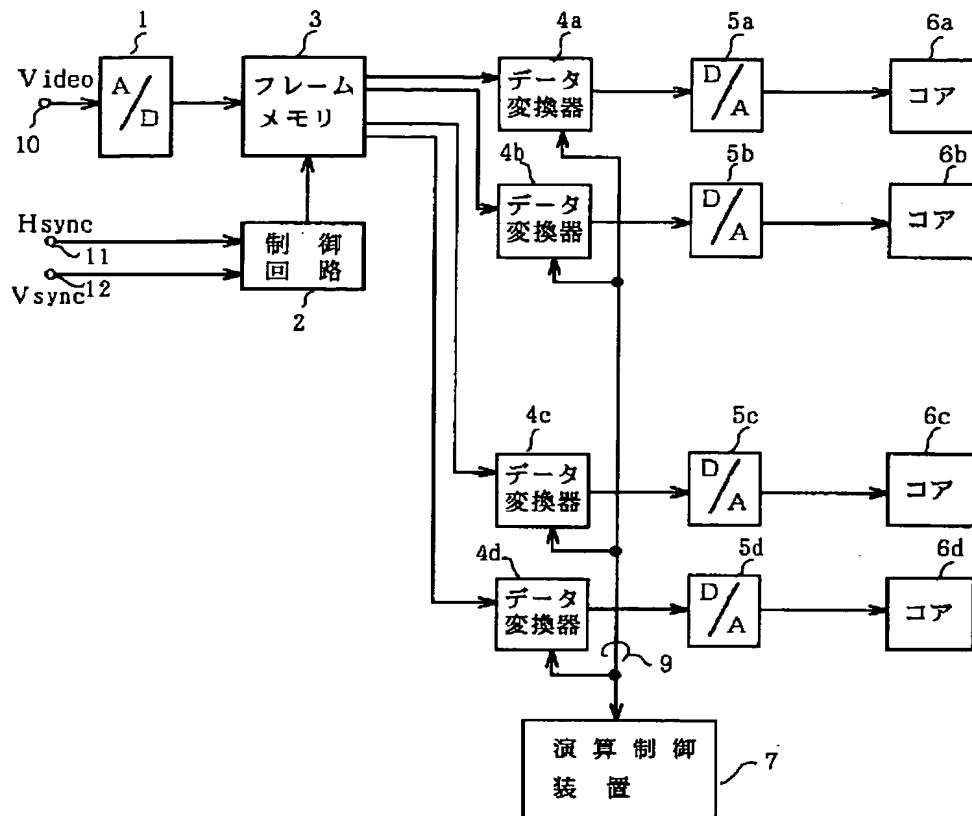


【図3】



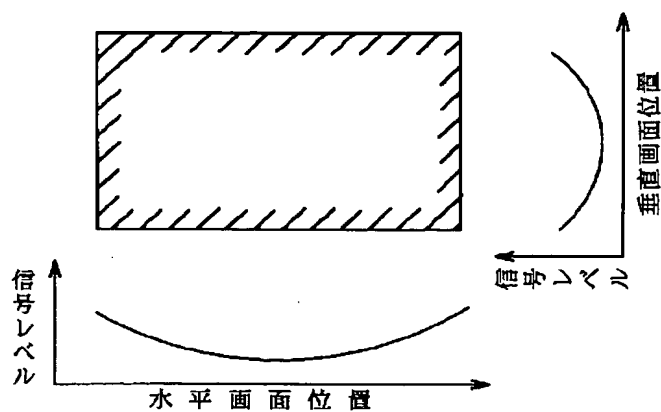
【図1】

図 1



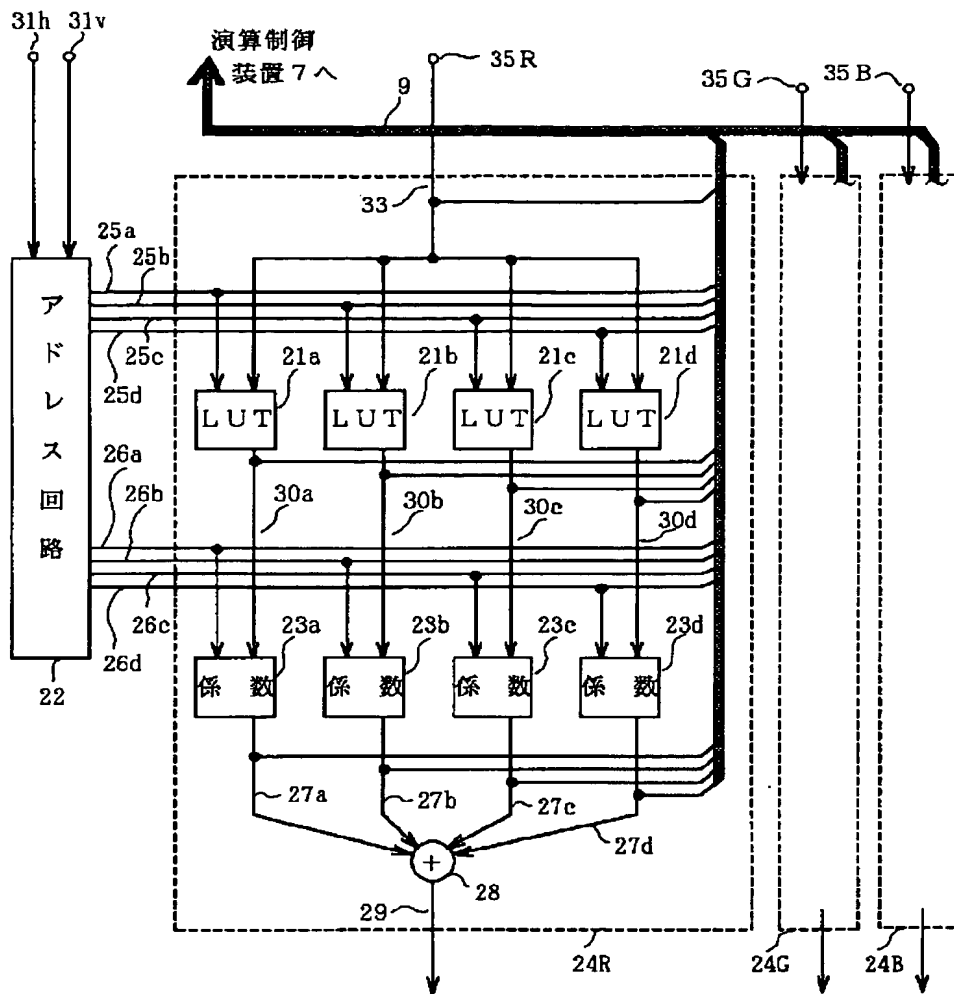
【図4】

図 4



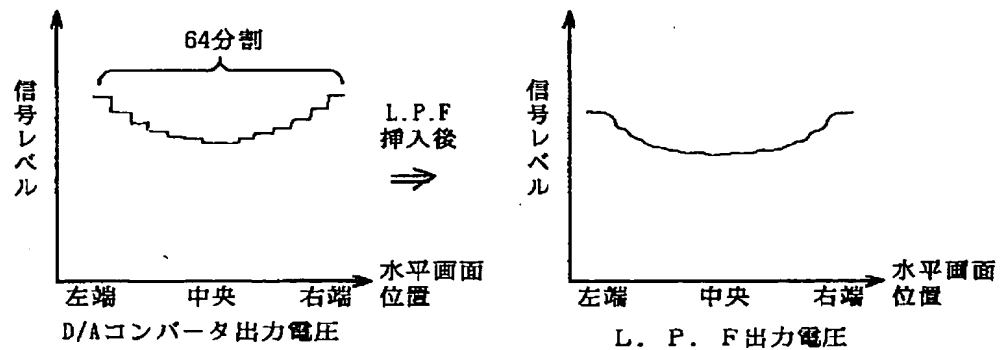
【図5】

図 5



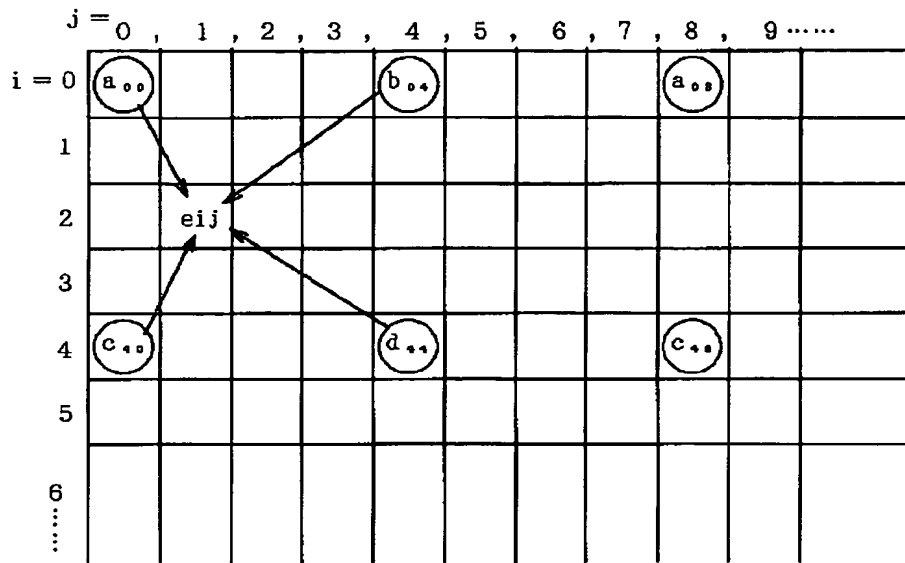
【図16】

図 16



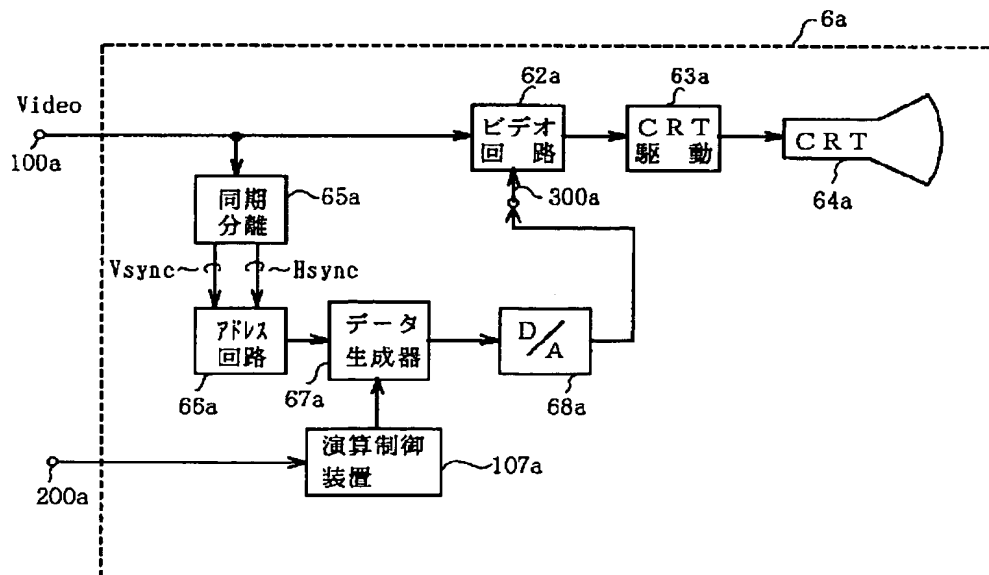
【図6】

図 6



【図14】

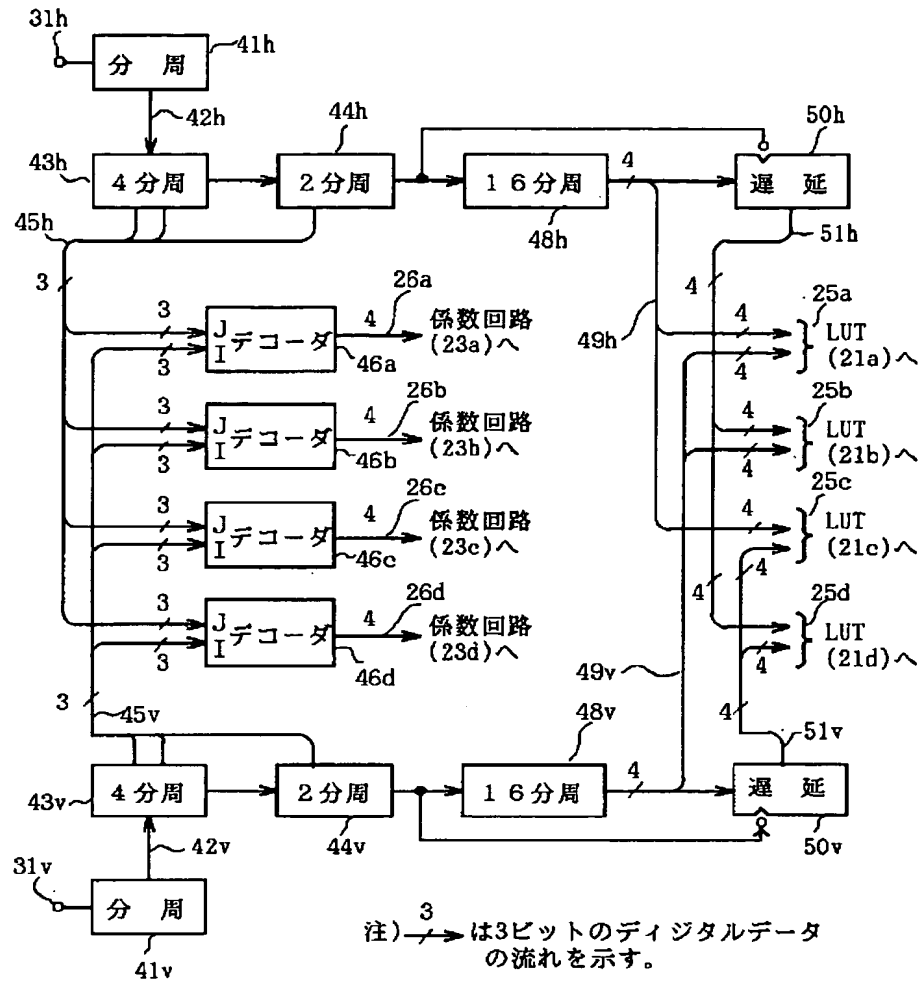
図 14





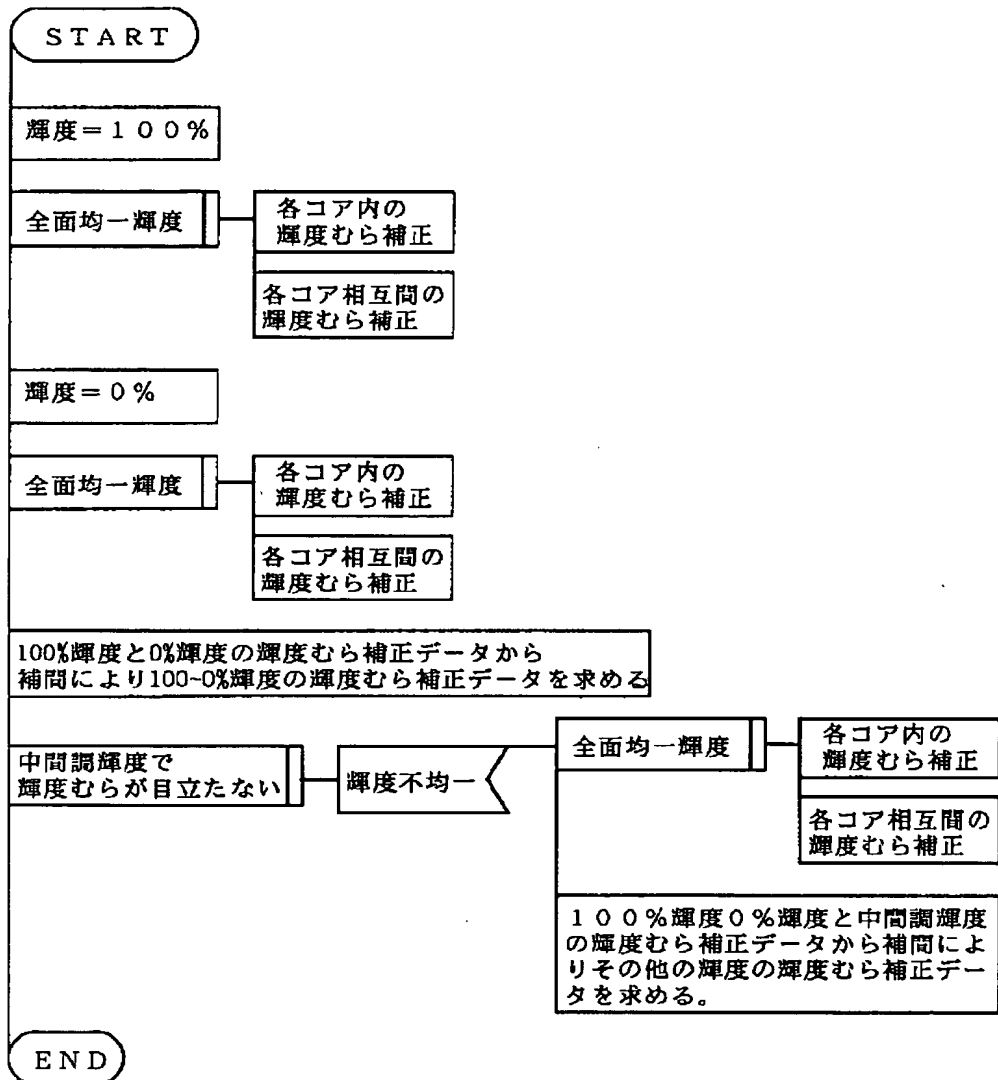
【図8】

図 8



【図9】

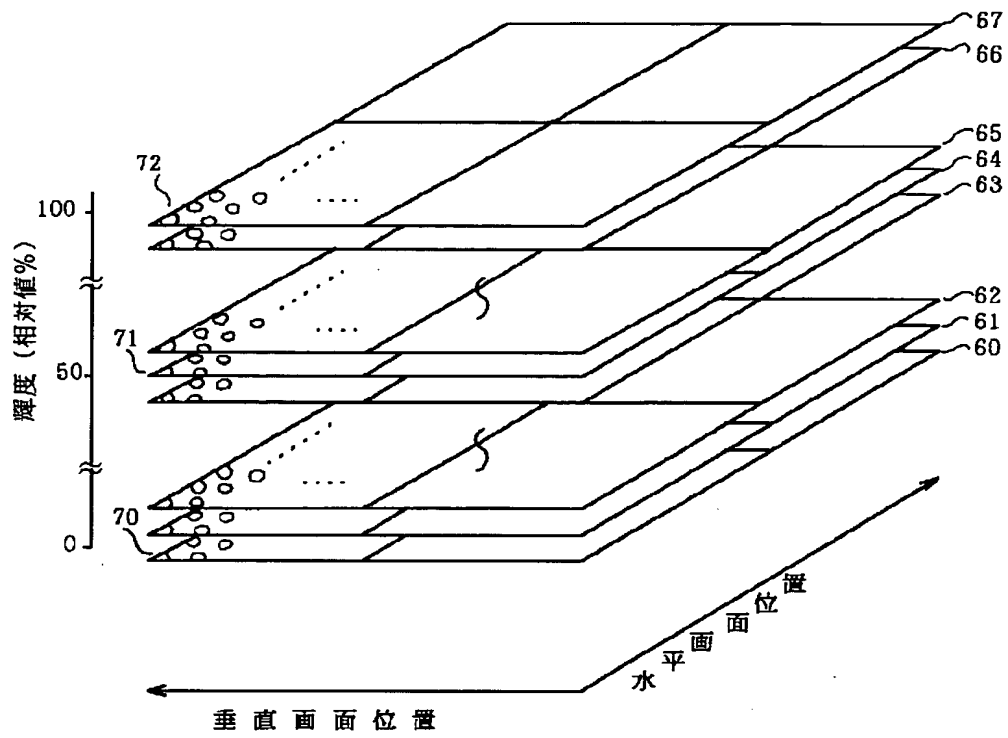
図 9





【図 10】

図 10



【図11】

図 11

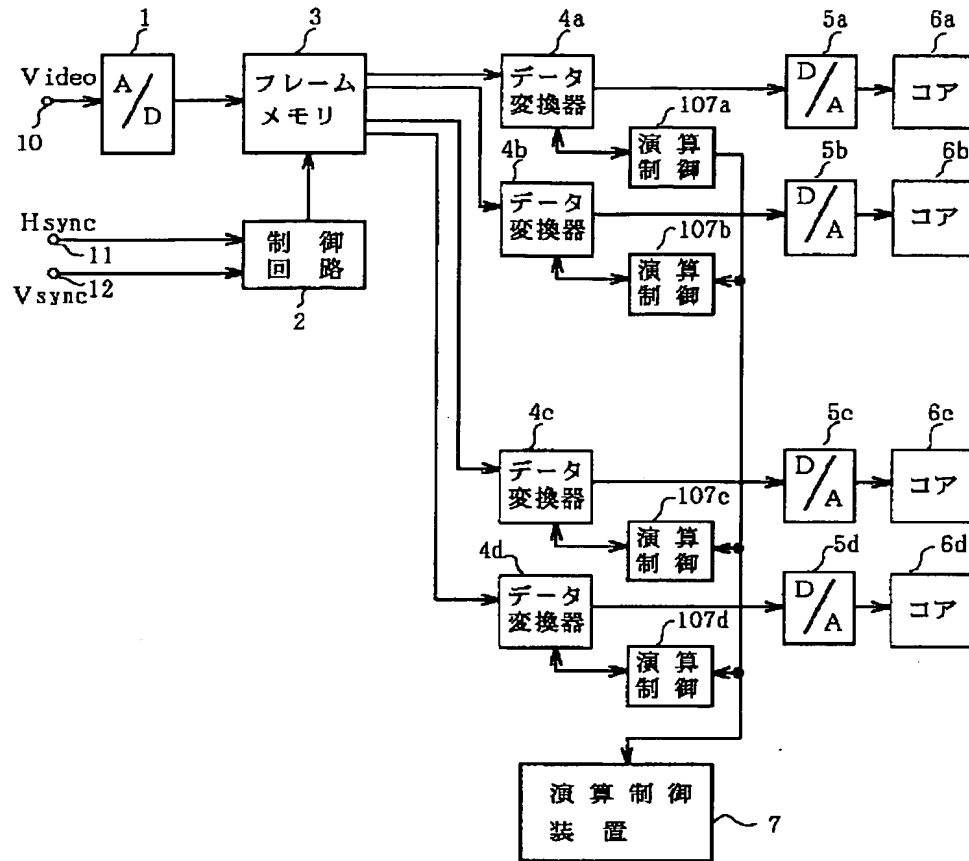
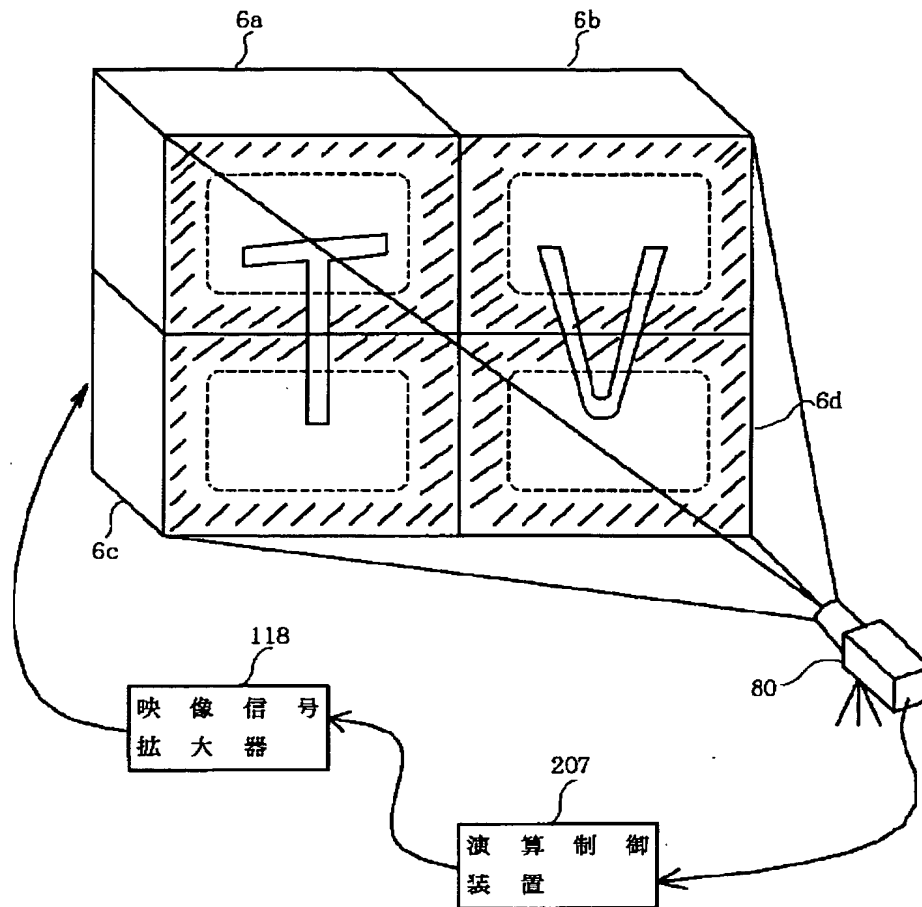
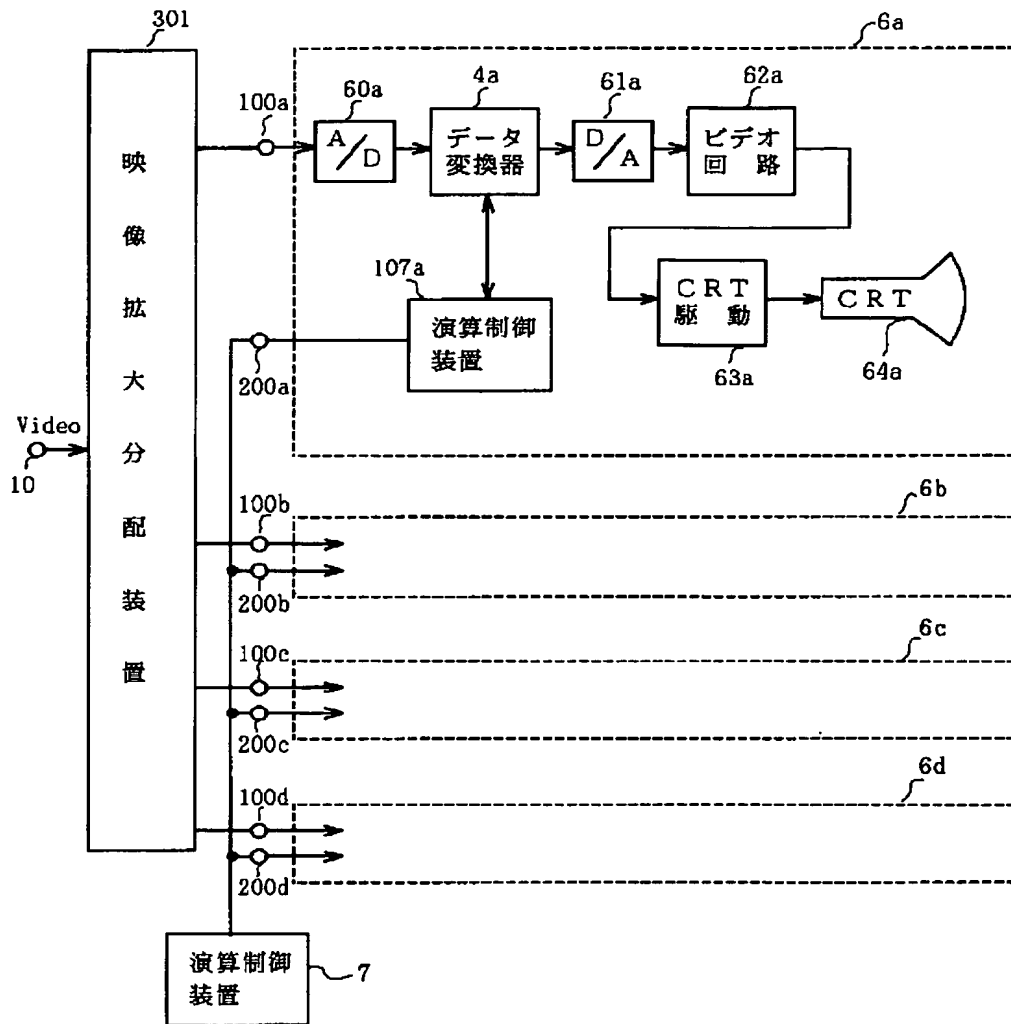


图 12



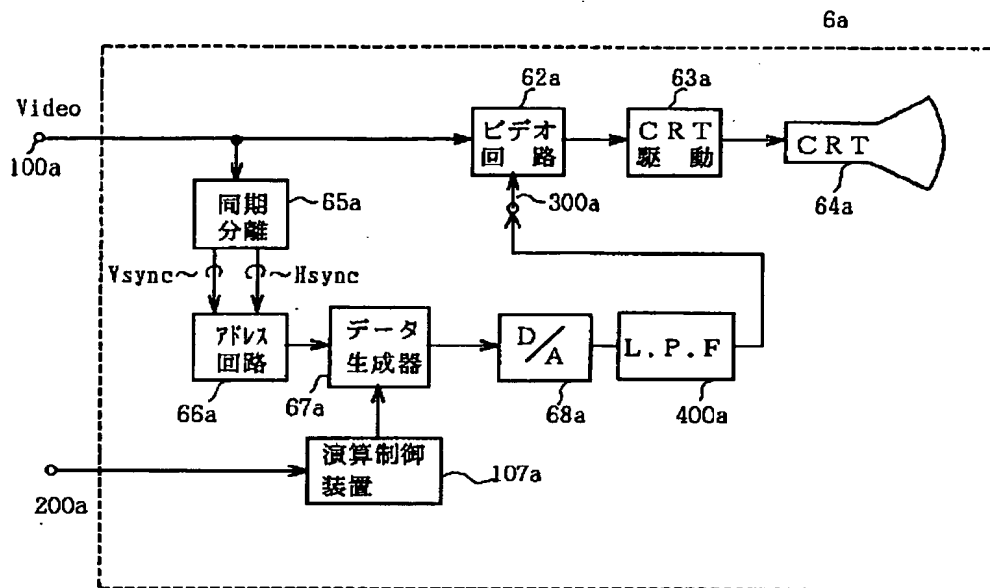
【図 13】

図 13



【図15】

図 15



フロントページの続き

(72)発明者 丸山 武  
神奈川県横浜市戸塚区吉田町292番地株  
式会社日立製作所A V機器事業部内

(56)参考文献 特開 平2-181182 (J P, A)  
特開 昭62-131233 (J P, A)  
特開 平2-273790 (J P, A)  
特開 昭62-163481 (J P, A)  
特開 昭62-154990 (J P, A)

(58)調査した分野(Int. Cl.<sup>7</sup>, D B名)

G09G 5/00  
G09G 5/00 510  
G09G 5/10  
H04N 5/68  
H04N 17/04